

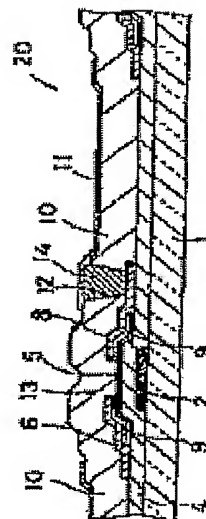
**PRODUCTION OF ACTIVE MATRIX SUBSTRATE**

**Patent number:** JP4305627  
**Publication date:** 1992-10-28  
**Inventor:** TANAKA HIROHISA; UJIMASA HITOSHI; TANIGUCHI KOJI  
**Applicant:** SHARP KK  
**Classification:**  
**- international:** *G02F1/1343; G02F1/136; G02F1/1368; H01L21/336; H01L27/12; H01L29/78; H01L29/786; G02F1/13; H01L21/02; H01L27/12; H01L29/66; (IPC1-7): G02F1/1343; G02F1/136; H01L27/12; H01L29/784*  
**- european:**  
**Application number:** JP19910071206 19910403  
**Priority number(s):** JP19910071206 19910403

Report a data error here

**Abstract of JP4305627**

**PURPOSE:**To provide the process for producing the active matrix substrate which prevents the disconnection of picture element electrodes by effectively decreasing the level difference by the contact holes formed in an interlayer insulating film and can be produced by a simplified stage. **CONSTITUTION:**Thin-film transistors 13 are formed on an insulating substrate 1 and after the interlayer insulating film 10 is formed over the entire surface on the substrate 1, the contact holes 12 are formed in the parts of the interlayer insulating film 10 corresponding to drain electrodes 8. This substrate is then immersed in an electrolyte and metallic films 14 are selectively formed on the drain electrodes 8 in the contact holes 12 by impressing the on-signal of the TFTs 13 to the gate electrodes 2 and a negative voltage to the source electrodes 6. The arbitrary setting of the thickness of the metallic layer is possible and the front surface of the metallic layer is made flush with the front surface of the interlayer insulating film.



Data supplied from the **esp@cenet** database - Worldwide

**Family list****1** family member for: **JP4305627**

Derived from 1 application

**1 PRODUCTION OF ACTIVE MATRIX SUBSTRATE****Inventor:** TANAKA HIROHISA; UJIMASA HITOSHI; **Applicant:** SHARP KK

(+1)

**EC:****IPC:** G02F1/1343; G02F1/136; G02F1/1368

(+12)

**Publication info:** JP4305627 A - 1992-10-28

---

Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-305627

(43) 公開日 平成4年(1992)10月28日

(51) Int.Cl. <sup>5</sup>	識別記号	片内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
1/1343		9018-2K		
H 0 1 L 27/12	A	8728-4M		
29/784		9056-4M		
			H 0 1 L 29/78	3 1 1 A
			審査請求 未請求 請求項の数 1 (全 5 頁)	

(21) 出願番号 特願平3-71206

(22) 出願日 平成3年(1991)4月3日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 田仲 広久

大阪市阿倍野区長池町22番22号 シャープ株式会社内

(72) 発明者 氏政 仁志

大阪市阿倍野区長池町22番22号 シャープ株式会社内

(72) 発明者 谷口 幸治

大阪市阿倍野区長池町22番22号 シャープ株式会社内

(74) 代理人 弁理士 山本 秀策

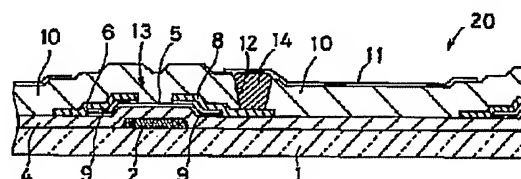
(54) 【発明の名称】 アクティブマトリクス基板の製造方法

## (57) 【要約】

【目的】 層間絶縁膜に形成されたコンタクトホールによる段差を効果的に低減して絵素電極の切断を防止し、しかも簡略化された工程で作製し得るアクティブマトリクス基板の製造工程を提供することである。

【構成】 絶縁性基板1上に薄膜トランジスタ13を形成し、層間絶縁膜10を基板1上の全面に形成した後、ドレイン電極8に対応する層間絶縁膜10の部分にコンタクトホール12を形成する。次に、この基板を電解液に浸し、ゲート電極2にTFT13のオン信号を印加すると共に、ソース電極6に負電圧を印加して、コンタクトホール12内のドレイン電極8上に金属層14を選択的に形成する。

【効果】 金属層の層厚を任意に設定でき、金属層の上面と層間絶縁膜の上面とを一致させることができる。



## 【特許請求の範囲】

【請求項1】 絶縁性基板上に薄膜トランジスタを形成する工程と、該薄膜トランジスタを覆って該絶縁性基板上の全面に層間絶縁膜を形成する工程と、該薄膜トランジスタのドレイン電極に対応する該層間絶縁膜の部分にコンタクトホールを形成する工程と、該コンタクトホール内の該ドレイン電極上に金属層を電気化学的方法によって選択的に形成する工程と、該層間絶縁膜及び該金属層上に絵素電極をパターン形成する工程と、を包含するアクティブマトリクス基板の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、液晶等の表示媒体と組み合わせてマトリクス型の表示装置を構成するためのアクティブマトリクス基板の製造方法に関する。

## 【0002】

【従来の技術】 アクティブマトリクス型表示装置は、高いコントラストを有し、絵素数が制約されない等の利点がある。そのため、アクティブマトリクス表示装置に用いられるアクティブマトリクス基板に関する研究が盛んに行われている。しかし、アクティブマトリクス基板の構造は複雑であり、光の利用効率（開口率）が低く、表示画面が暗いという欠点がある。

## 【0003】

【発明が解決しようとする課題】 このような欠点を解決したアクティブマトリクス基板の部分平面図を図4に、図4のA-A線に沿った断面図を図5に示す。このアクティブマトリクス基板20は、ガラス等の絶縁性基板1と、基板1上に形成された薄膜トランジスタ（以下「TFT」という）13とを有している。図4に示すように、TFT13のゲート電極2はゲートバス配線3に接続され、TFT13のソース電極6はソースバス配線7に接続されている。図5に示すように、TFT13を覆って基板1上の全面に、層間絶縁膜10が形成されている（図5）。TFT13のドレイン電極8に対応する層間絶縁膜10の部分には、コンタクトホール12が形成されている。絵素電極11は層間絶縁膜10上に形成されている。絵素電極11はコンタクトホール12内に設けられた金属層14を介してTFT13のドレイン電極8に接続されている。また、絵素電極11は、図4に示すように、ゲートバス配線3の一部及びソースバス配線7の一部に重畳されるように形成されている。

【0004】 このように、絵素電極11がゲートバス配線3及びソースバス配線7に重畳して形成されているアクティブマトリクス基板の構成は、特に反射型表示装置の開口率を増大させるのに有効である。

【0005】 図4及び図5に示すアクティブマトリクス基板の製造方法を図6～図9に示す。まず、ガラス等の絶縁性基板1上に、Ta、Cr等からなるゲートバス配線3及びゲート電極2を形成する。次に、SiN<sub>x</sub>、S

iO<sub>x</sub>等からなるゲート絶縁膜4、n<sup>+</sup>型のアモルファスシリコン（以下では「a-Si」という）層からなるコンタクト層9、9、及びa-Si層からなる半導体層5を形成する。次に、Mo、Ti、Al等からなるソース電極6、ドレイン電極8、及びソースバス配線7を形成する（図6）。以上により、TFT13が完成する。

【0006】 次に、SiN<sub>x</sub>、SiO<sub>x</sub>等からなる層間絶縁膜10を基板1上の全面に形成し、ドレイン電極8に対応する層間絶縁膜10の部分にコンタクトホール12を形成する（図7）。更に、Ta、Al等からなる金属膜15を基板1上の全面に形成し、更に金属膜15上にレジスト16を形成する（図8）。次に、レジスト16と金属膜15とのエッチング速度が等しい条件で、レジスト16と金属膜15とをドライエッチングによりエッチングバックする。これにより、コンタクトホール12内に金属層14が残される（図9）。更に、ITO（Indium Tin Oxide）膜を基板1上の全面に形成しパターニングを行って、絵素電極11を得る（図5）。これにより、絵素電極11はコンタクトホール12内の金属層14を介してTFT13のドレイン電極8に電気的に接続される。金属層14はコンタクトホール12による段差を低減するために設けられている。

【0007】 上述のような従来の製造方法では、金属膜15及びレジスト16の形成、金属膜15及びレジスト16のドライエッチング等が必要のため、工程が複雑となっている。また、コンタクトホール12以外に段差の大きい部分があると、エッチングバックによりコンタクトホール12以外の部分の金属膜15を除去している間に、コンタクトホール12内の金属膜が薄くなってしまふ。そのため、金属層14の層厚が小さくなり、金属層14による段差低減の効果が小さくなってしまふことになる。この金属層14とコンタクトホール12とによる段差により、絵素電極11が切断され、絵素電極11とドレイン電極8とが電気的に接続されなくなる場合が生じるという問題点がある。また、この段差による液晶層内の液晶分子の配向が乱れるという問題点がある。

【0008】 本発明はこのような問題点を解決するものであり、本発明の目的は、層間絶縁膜に形成されたコンタクトホールによる段差を効果的に低減し、簡略化された工程で作製し得るアクティブマトリクス基板の製造工程を提供することである。

## 【0009】

【課題を解決するための手段】 本発明のアクティブマトリクス基板の製造方法は、絶縁性基板上に薄膜トランジスタを形成する工程と、該薄膜トランジスタを覆って該絶縁性基板上の全面に層間絶縁膜を形成する工程と、該薄膜トランジスタのドレイン電極に対応する該層間絶縁膜の部分にコンタクトホールを形成する工程と、該コンタクトホール内の該ドレイン電極上に金属層を電気化学的方法によって選択的に形成する工程と、該層間絶縁膜

及び該金属層上に絵素電極をパターン形成する工程と、を包含しており、そのことによって上記目的が達成される。

#### 【0010】

【作用】本発明のアクティブマトリクス基板の製造方法では、層間絶縁膜のドレイン電極に対応する部分にコンタクトホールが形成された後、このコンタクトホール内のドレイン電極上に、電気化学的方法によって金属層が選択的に形成される。即ち、コンタクトホールが形成された基板を電解液に浸す。次に、ゲートバス配線のそれぞれにTFTのオン信号を印加してTFTをオン状態とし、ソースバス配線に負電圧を印加し、電着液内でコンタクトホール内のドレイン電極に金属を電着させる。このとき、電着時間等の条件を適切に設定することにより、コンタクトホール内に段差を生ずることなく金属層が形成される。

#### 【0011】

【実施例】本発明の実施例について以下に説明する。本実施例によって作製されるアクティブマトリクス基板の一例の断面図を図1に示す。図1のアクティブマトリクス基板の部分平面図は、図4に示すものと同様である。このアクティブマトリクス基板20は、ガラス等の絶縁性基板1と、基板1上に形成されたスイッチング素子として機能するTFT13とを有している。TFT13の入力端子として機能するソース電極6には、信号線として機能するソースバス配線7が接続されている。TFT13及びソースバス配線7を覆って基板1上の全面に層間絶縁膜10が形成されている。TFT13の出力端子として機能するドレイン電極8に対応する層間絶縁膜10の部分には、コンタクトホール12が形成されている。絵素電極11は層間絶縁膜10上に形成され、且つコンタクトホール12内に形成された金属層14を介してTFT13のドレイン電極8に接続されている。また、絵素電極11は、図1に示すように、ゲートバス配線3の一部及びソースバス配線7の一部に重畳されるように形成されている。従って、このアクティブマトリクス基板を用いた表示装置の開口率を向上させることができる。

【0012】図1のアクティブマトリクス基板の製造工程を図2(a)～(c)に示す。図2(a)～(c)に従って本実施例のアクティブマトリクス基板の製造方法を説明する。まず、ガラスからなる絶縁性基板1上に、スパッタリング法により300nmの厚さのTa金属膜を形成し、この金属膜をフォトリソグラフィ法及びエッチングによりパターンニングして、ゲートバス配線3及びゲート電極2を形成する。次に、プラズマCVD法により、400nmの厚さのSiN<sub>x</sub>からなるゲート絶縁膜4と、後に半導体層5となる厚さ50nmのa-Si層と、後にコンタクト層9、9となる厚さ40nmのn<sup>+</sup>型a-Si層とをこの順で連続的に形成する。次に、n<sup>+</sup>型a-Si層とa-Si層のパターンニングを行って、

コンタクト層9、9及び半導体層5を形成する。次に、この基板上の全面に、厚さ200nmのMo金属層をスパッタリング法によって形成し、このMo金属層のパターンニングを行って、ソース電極6、ドレイン電極8、及びソースバス配線7を形成する(図2(a))。以上により、TFT13が完成する。

【0013】次に、TFT13を形成した基板1上の全面にSiN<sub>x</sub>からなる層間絶縁膜10を1μmの厚さに堆積させる。次に、ホトリソグラフィ法及びエッチングにより、層間絶縁膜10のドレイン電極8に対応する部分にコンタクトホール12を形成する(図2(b))。

【0014】次に、コンタクトホール12内のドレイン電極8上に金属層14を形成する。金属層14は、以下に示す電気化学的方法によって形成される。図3に示すように、図2(b)のアクティブマトリクス基板20を電解槽25内の電解液24に浸す。電解液24として、25%CrO<sub>3</sub>硫酸酸性水溶液を用いた。次に、アクティブマトリクス基板20上の各ゲートバス配線3に接続されたゲート共通電極26に電源23から10Vのゲートオン信号を入力する。同時に、基板20上の各ソースバス配線7に接続されたソース共通電極27と、対向電極21との間に、電源22によって-10Vの電圧を印加する。これにより、コンタクトホール12内のドレイン電極8上にCr金属層14が選択的に電着形成される。電着は、金属層14がコンタクトホール12を埋めて、金属層14の上面と層間絶縁膜10の上面とがほぼ一致し、コンタクトホール12による段差がなくなるまで行われる。

【0015】更に、層間絶縁膜10上の全面にITO膜を形成し、パターンニングを行って絵素電極11を形成する(図1)。これにより、絵素電極11は層間絶縁膜10に形成されたコンタクトホール12内の金属層14を介してTFT13のドレイン電極8に接続される。

【0016】本実施例のアクティブマトリクス基板の製造方法によれば、金属層14は、コンタクトホール12を埋めて金属層14の上面と層間絶縁膜10の上面とがほぼ一致する厚さに形成される。従って、コンタクトホール12及び金属層14による段差は生じない。従って、層間絶縁膜10及び金属層14上に形成される絵素電極11が切断されることはない。

【0017】本実施例ではスイッチング素子としてTFTを用いた場合について説明したが、他の例えば、MIM(Metal-Insulator-Metal)素子、ダイオード、バリスタ等を用いたアクティブマトリクス基板にも適用することができる。また、本実施例では金属層14としてCrを用いたが、例えばCu、Ni等を用いることができる。また、電解液の組成も本実施例に限定されない。

#### 【0018】

【発明の効果】本発明のアクティブマトリクス基板の製造方法では、コンタクトホール内のドレイン電極上に形

5

成される金属層の層厚を任意に設定することができるので、層間絶縁膜の上面と金属層の上面とを一致させることができる。従って、層間絶縁膜及び金属層上に形成される絵素電極が切断されることはない。また、この段差による液晶分子の配向の乱れも生じない。従って、本発明の製造方法によればアクティブマトリクス基板の歩留りが向上し、アクティブマトリクス基板のコスト低減に寄与することができる。

【図面の簡単な説明】

【図1】本発明のアクティブマトリクス基板の製造方法によって得られるアクティブマトリクス基板の一例の断面図である。

【図2】(a)～(c)は図1のアクティブマトリクス基板の製造方法を示す工程図である。

【図3】コンタクトホール内の金属層を形成するための電着工程を示す図である。

【図4】図1及び従来のアクティブマトリクス基板を示す平面図である。

【図5】従来のアクティブマトリクス基板の断面図である。

【図6】従来のアクティブマトリクス基板の製造工程を示す図である。

【図7】従来のアクティブマトリクス基板の製造工程を示す図である。

【図8】従来のアクティブマトリクス基板の製造工程を示す図である。

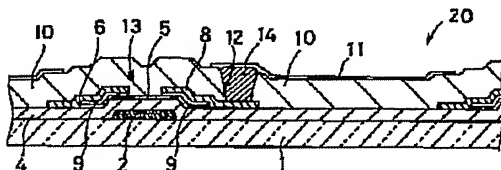
6

【図9】従来のアクティブマトリクス基板の製造工程を示す図である。

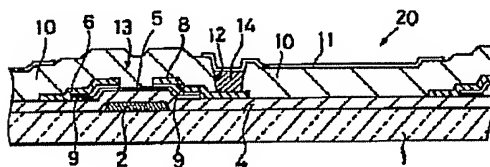
【符号の説明】

- 1 絶縁性基板
- 2 ゲート電極
- 3 ゲートバス配線
- 4 ゲート絶縁膜
- 5 半導体層
- 6 ソース電極
- 8 ドレイン電極
- 9 コンタクト層
- 10 層間絶縁膜
- 11 絵素電極
- 12 コンタクトホール
- 13 TFT
- 14 金属層
- 15 金属膜
- 16 レジスト
- 20 アクティブマトリクス基板
- 21 対向基板
- 22, 23 電源
- 24 電解液
- 25 電解槽
- 26 ゲート共通電極
- 27 ソース共通電極

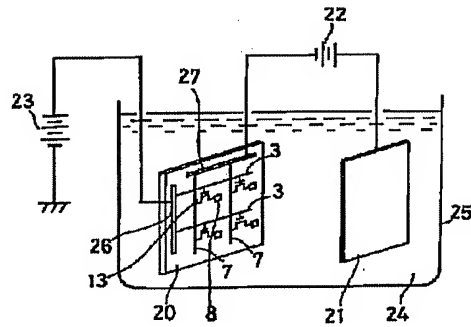
【図1】



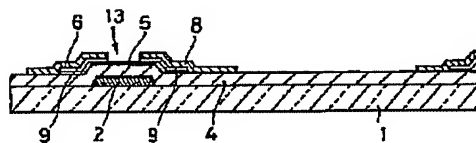
【図5】



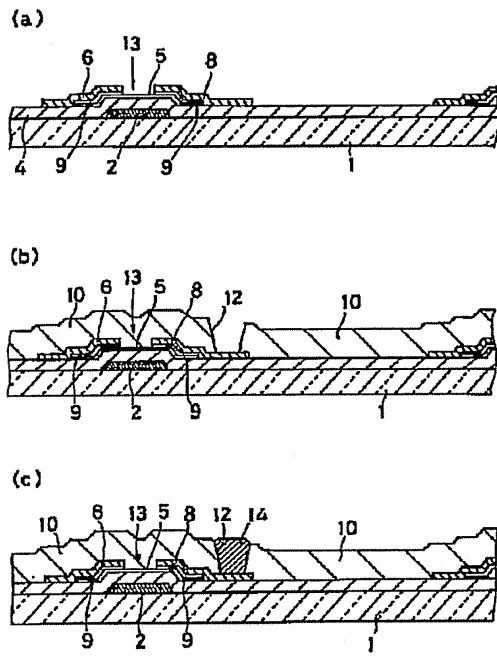
【図3】



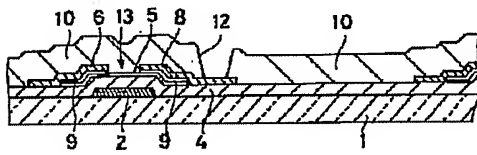
【図6】



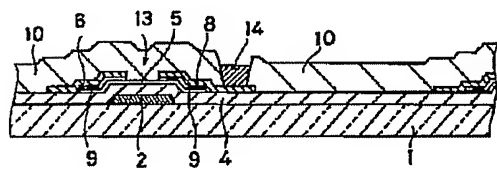
【図2】



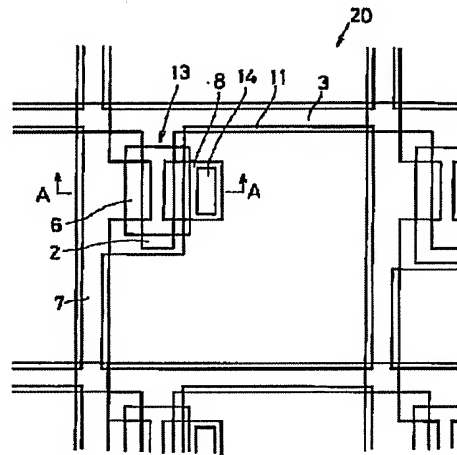
【図7】



【図9】



【図4】



【図8】

